\*                           HDL Synthesis                               \*  
=========================================================================  
  
Synthesizing Unit .  
    Related source file is "F:\WS\_FAYAZI\WateringSystem.vhd".  
    Found 2-bit register for signal .  
    Found finite state machine  for signal .  
    -----------------------------------------------------------------------  
    | States             | 2                                              |  
    | Transitions        | 12                                             |  
    | Inputs             | 7                                              |  
    | Outputs            | 1                                              |  
    | Clock              | CLOCK (rising\_edge)                            |  
    | Reset              | RESET (positive)                               |  
    | Reset type         | asynchronous                                   |  
    | Reset State        | 00                                             |  
    | Encoding           | auto                                           |  
    | Implementation     | LUT                                            |  
    -----------------------------------------------------------------------  
    Found 3-bit comparator greater for signal  created at line 46  
    Found 3-bit comparator greater for signal  created at line 47  
    Found 3-bit comparator greater for signal  created at line 51  
    Found 3-bit comparator greater for signal  created at line 52  
    Summary:  
 inferred   4 Comparator(s).  
 inferred   1 Finite State Machine(s).  
Unit  synthesized.  
  
Synthesizing Unit .  
    Related source file is "F:\WS\_FAYAZI\WateringSystem.vhd".  
    Summary:  
 inferred   1 Multiplexer(s).  
Unit  synthesized.  
  
=========================================================================  
HDL Synthesis Report  
  
Macro Statistics  
# Comparators                                          : 4  
 3-bit comparator greater                              : 4  
# Multiplexers                                         : 1  
 7-bit 2-to-1 multiplexer                              : 1  
# FSMs                                                 : 1  
  
=========================================================================  
  
=========================================================================  
\*                       Advanced HDL Synthesis                          \*  
======================================================================  
  
=========================================================================  
Advanced HDL Synthesis Report  
  
Macro Statistics  
# Comparators                                          : 4  
 3-bit comparator greater                              : 4  
# FSMs                                                 : 1  
  
=========================================================================  
  
=========================================================================  
\*                         Low Level Synthesis                           \*  
=========================================================================  
Analyzing FSM  for best encoding.  
Optimizing FSM  on signal  with sequential encoding.  
-------------------  
 State | Encoding  
-------------------  
 00    | 0  
 01    | 1  
-------------------  
  
Optimizing unit  ...  
  
Mapping all equations...  
Building and optimizing final netlist ...  
Found area constraint ratio of 100 (+ 5) on block WS, actual ratio is 0.  
  
Final Macro Processing ...  
  
=========================================================================  
Final Register Report  
  
Macro Statistics  
# Registers                                            : 1  
 Flip-Flops                                            : 1  
  
=========================================================================  
  
======================================================================  
  
=========================================================================  
\*                            Design Summary                             \*  
=========================================================================  
  
Top Level Output File Name         : WS.ngc  
  
Primitive and Black Box Usage:  
------------------------------  
# BELS                             : 3  
#      GND                         : 1  
#      LUT6                        : 1  
#      VCC                         : 1  
# FlipFlops/Latches                : 1  
#      FDC                         : 1  
# Clock Buffers                    : 1  
#      BUFGP                       : 1  
# IO Buffers                       : 20  
#      IBUF                        : 6  
#      OBUF                        : 14  
  
Device utilization summary:  
---------------------------  
  
Selected Device : xa7a100tcsg324-2i   
  
  
Slice Logic Utilization:   
 Number of Slice Registers:               1  out of  126800     0%    
 Number of Slice LUTs:                    1  out of  63400     0%    
    Number used as Logic:                 1  out of  63400     0%    
  
Slice Logic Distribution:   
 Number of LUT Flip Flop pairs used:      2  
   Number with an unused Flip Flop:       1  out of      2    50%    
   Number with an unused LUT:             1  out of      2    50%    
   Number of fully used LUT-FF pairs:     0  out of      2     0%    
   Number of unique control sets:         1  
  
IO Utilization:   
 Number of IOs:                          21  
 Number of bonded IOBs:                  21  out of    210    10%    
  
Specific Feature Utilization:  
 Number of BUFG/BUFGCTRLs:                1  out of     32     3%  

Timing Report  
  
NOTE: THESE TIMING NUMBERS ARE ONLY A SYNTHESIS ESTIMATE.  
      FOR ACCURATE TIMING INFORMATION PLEASE REFER TO THE TRACE REPORT  
      GENERATED AFTER PLACE-and-ROUTE.  
  
Clock Information:  
------------------  
-----------------------------------+------------------------+-------+  
Clock Signal                       | Clock buffer(FF name)  | Load  |  
-----------------------------------+------------------------+-------+  
CLOCK                              | BUFGP                  | 1     |  
-----------------------------------+------------------------+-------+  
  
Asynchronous Control Signals Information:  
----------------------------------------  
No asynchronous control signals found in this design  
  
Timing Summary:  
---------------  
Speed Grade: -2  
  
   Minimum period: 0.849ns (Maximum Frequency: 1177.579MHz)  
   Minimum input arrival time before clock: 0.864ns  
   Maximum output required time after clock: 0.728ns  
   Maximum combinational path delay: 0.345ns  
  
Timing Details:  
---------------  
All values displayed in nanoseconds (ns)  
  
=========================================================================  
Timing constraint: Default period analysis for Clock 'CLOCK'  
  Clock period: 0.849ns (frequency: 1177.579MHz)  
  Total number of paths / destination ports: 1 / 1  
-------------------------------------------------------------------------  
Delay:               0.849ns (Levels of Logic = 1)  
  Source:            CURR\_STATE\_FSM\_FFd1 (FF)  
  Destination:       CURR\_STATE\_FSM\_FFd1 (FF)  
  Source Clock:      CLOCK rising  
  Destination Clock: CLOCK rising  
  
  Data Path: CURR\_STATE\_FSM\_FFd1 to CURR\_STATE\_FSM\_FFd1  
                                Gate     Net  
    Cell:in->out      fanout   Delay   Delay  Logical Name (Net Name)  
    ----------------------------------------  ------------  
     FDC:C->Q              6   0.361   0.383  CURR\_STATE\_FSM\_FFd1 (CURR\_STATE\_FSM\_FFd1)  
     LUT6:I5->O            1   0.097   0.000  CURR\_STATE\_FSM\_FFd1-In1 (CURR\_STATE\_FSM\_FFd1-In)  
     FDC:D                     0.008          CURR\_STATE\_FSM\_FFd1  
    ----------------------------------------  
    Total                      0.849ns (0.466ns logic, 0.383ns route)  
                                       (54.9% logic, 45.1% route)  
  
=========================================================================  
Timing constraint: Default OFFSET IN BEFORE for Clock 'CLOCK'  
  Total number of paths / destination ports: 6 / 2  
-------------------------------------------------------------------------  
Offset:              0.864ns (Levels of Logic = 2)  
  Source:            TEMP\_IN (PAD)  
  Destination:       CURR\_STATE\_FSM\_FFd1 (FF)  
  Destination Clock: CLOCK rising  
  
  Data Path: TEMP\_IN to CURR\_STATE\_FSM\_FFd1  
                                Gate     Net  
    Cell:in->out      fanout   Delay   Delay  Logical Name (Net Name)  
    ----------------------------------------  ------------  
     IBUF:I->O             2   0.001   0.758  TEMP\_IN\_IBUF (TEMP\_OUT\_OBUF)  
     LUT6:I0->O            1   0.097   0.000  CURR\_STATE\_FSM\_FFd1-In1 (CURR\_STATE\_FSM\_FFd1-In)  
     FDC:D                     0.008          CURR\_STATE\_FSM\_FFd1  
    ----------------------------------------  
    Total                      0.864ns (0.106ns logic, 0.758ns route)  
                                       (12.3% logic, 87.7% route)  
  
=========================================================================  
Timing constraint: Default OFFSET OUT AFTER for Clock 'CLOCK'  
  Total number of paths / destination ports: 5 / 5  
-------------------------------------------------------------------------  
Offset:              0.728ns (Levels of Logic = 1)  
  Source:            CURR\_STATE\_FSM\_FFd1 (FF)  
  Destination:       SEG<5> (PAD)  
  Source Clock:      CLOCK rising  
  
  Data Path: CURR\_STATE\_FSM\_FFd1 to SEG<5>  
                                Gate     Net  
    Cell:in->out      fanout   Delay   Delay  Logical Name (Net Name)  
    ----------------------------------------  ------------  
     FDC:C->Q              6   0.361   0.367  CURR\_STATE\_FSM\_FFd1 (CURR\_STATE\_FSM\_FFd1)  
     OBUF:I->O                 0.000          SEG\_5\_OBUF (SEG<5>)  
    ----------------------------------------  
    Total                      0.728ns (0.361ns logic, 0.367ns route)  
                                       (49.6% logic, 50.4% route)  
  
=========================================================================  
Timing constraint: Default path analysis  
  Total number of paths / destination ports: 5 / 5  
-------------------------------------------------------------------------  
Delay:               0.345ns (Levels of Logic = 2)  
  Source:            MOIS\_IN<2> (PAD)  
  Destination:       MOIS\_OUT<2> (PAD)  
  
  Data Path: MOIS\_IN<2> to MOIS\_OUT<2>  
                                Gate     Net  
    Cell:in->out      fanout   Delay   Delay  Logical Name (Net Name)  
    ----------------------------------------  ------------  
     IBUF:I->O             2   0.001   0.344  MOIS\_IN\_2\_IBUF (MOIS\_OUT\_2\_OBUF)  
     OBUF:I->O                 0.000          MOIS\_OUT\_2\_OBUF (MOIS\_OUT<2>)  
    ----------------------------------------  
    Total                      0.345ns (0.001ns logic, 0.344ns route)  
                                       (0.3% logic, 99.7% route)  
  
=========================================================================  
  
Cross Clock Domains Report:  
--------------------------  
  
Clock to Setup on destination clock CLOCK  
---------------+---------+---------+---------+---------+  
               | Src:Rise| Src:Fall| Src:Rise| Src:Fall|  
Source Clock   |Dest:Rise|Dest:Rise|Dest:Fall|Dest:Fall|  
---------------+---------+---------+---------+---------+  
CLOCK          |    0.849|         |         |         |  
---------------+---------+---------+---------+---------+  
  
=========================================================================  
  
  
Total REAL time to Xst completion: 34.00 secs  
Total CPU time to Xst completion: 34.17 secs  
   
-->   
  
Total memory usage is 5025052 kilobytes